

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-289315

(43)Date of publication of application : 04.11.1997

(51)Int.Cl.

H01L 29/78
H01L 21/336
H01L 21/265

(21)Application number : 08-100282

(71)Applicant : SONY CORP

(22)Date of filing : 22.04.1996

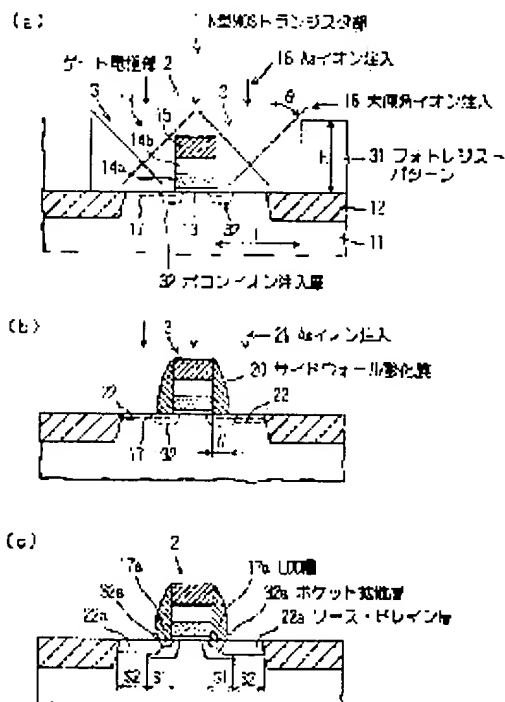
(72)Inventor : MATSUMOTO KOICHI

(54) SEMICONDUCTOR DEVICE MANUFACTURING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce the junction capacitance between a source-drain layer and substrate by forming a photo resist pattern to be a mask for a large- inclination angle ion implantation and implanting ions, using a gate electrode and photo resist pattern as a high-angle ion implanting mask.

SOLUTION: An As ion implanting 16 is applied to a semiconductor substrate 11 to form an As ion layer 17, a largeinclination angle B ion implanting 18 is applied from the source and drain sides to form a B ion-implanted layer 32 which is formed only near a part of the substrate 11 below the side wall of a gate electrode part 2 since a photoresist pattern 31 and gate electrode part 2 form a mask for the large-inclination angle ion implanting 18. When a pocket diffused layer 32a is formed with a p-type impurity of B ions, an S region adjacent to the pocket diffused layer 32a and S adjacent to the substrate are formed at the junction of the source-drain layer 22a. The diffused detect 32 has a higher concn. than that of the substrate 11 and the junction capacitance can be reduced.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the
examiner's decision of rejection or application
converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The manufacture method of a semiconductor device characterized by providing the following of having the process which forms the diffusion layer for punch-through prevention with a large inclination ion implantation. The process which forms the gate electrode section which consists of the insulator layer on a gate oxide film, a gate electrode, and a gate electrode. The process which forms the photoresist pattern used as the ion-implantation mask at the time of the aforementioned large inclination ion implantation which adjoined the aforementioned gate electrode section. The process which carries out the ion implantation of the aforementioned photoresist pattern to the aforementioned gate electrode section as an ion-implantation mask at the time of the aforementioned large inclination ion implantation.

[Claim 2] The manufacture method of a semiconductor device according to claim 1 characterized by setting the interval L between the aforementioned gate electrode section side attachment wall and the aforementioned photoresist pattern side attachment wall, height H of the aforementioned photoresist pattern, and a relation with the pouring angle θ of a large inclination ion implantation to $L \cdot H \cdot \tan \theta$.

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] this invention relates to the manufacture method of a semiconductor device of having reduced the junction capacitance of the source drain layer of an MOS transistor, in more detail about the manufacture method of a semiconductor device.

[0002]

[Description of the Prior Art] In recent years, as for the semiconductor device of an MOS transistor, detailed-ization progresses increasingly, and the gate electrode length of an MOS transistor is becoming below a half micron. If this gate electrode length becomes below a half micron, the so-called short channel effect will occur and the problem on various properties will arise. As one of the short channel effect of this, it is the problem to which the threshold voltage V_{TH} falls as gate electrode length becomes short. As a method of suppressing the gate electrode length dependency of the threshold voltage V_{TH} by this short channel effect, there is the method of forming the diffusion layer for punch-through prevention by the large inclination ion implantation and the so-called pocket diffusion layer. The MOS transistor which does not almost have the gate electrode length dependency of the threshold voltage V_{TH} to the range with shorter gate electrode length can be formed by optimizing the angle of a large inclination ion implantation for this pocket diffusion layer formation, ion-implantation energy, and a dose. The threshold voltage V_{TH} becomes large, so that gate electrode length will become short, if the range which does not almost have the gate electrode length dependency of the threshold voltage V_{TH} will spread if a dose is incidentally made to increase when it sees only by the dose of a pocket diffusion layer, and a dose is made [many] not much, and the range which does not almost have the gate electrode length dependency of the threshold voltage V_{TH} becomes narrow conversely.

[0003] The manufacture method of the conventional semiconductor device by the method of suppressing the gate electrode length dependency of the threshold voltage V_{TH} using the above-mentioned pocket diffusion layer is explained with reference to drawing 2. First, as shown in drawing 2 (a), the gate oxide film 13 is formed in the semiconductor substrate 11 in which P well and N well (illustration ellipsis) of the LOCOS (Local Oxidation of Silicon) film 12 of an isolation field and the element section of N type MOS transistor section 1 grade were formed. It deposits with the insulator layer 15 on polysilicon contest film 14a which becomes the gate electrode 14 after that, tungsten silicide film 14b, and the gate electrode 14, patterning of these insulator layers 15, tungsten silicide film 14b, polysilicon contest film 14a, and the oxide film 13 is carried out, and the gate polar zone 2 is formed.

[0004] Next, As ion-implantation layer 17 used as LDD layer 17a which performs the As ion implantation 16 in the source drain section 3, and is later mentioned at an almost perpendicular angle to the 11th page of a semiconductor substrate is formed. Then, B ion-implantation layer 19 which performs the large inclination ion implantation 18 with the pouring angle leaned about about 30 degrees by B ion, and is set to pocket diffusion layer 19a mentioned later from the perpendicular direction of the 11th page of a semiconductor substrate is formed from a right and left of gate polar zone 2, i.e., the source of the source drain section 3, and drain side.

[0005] Next, as shown in drawing 2 (b), a CVD oxide film is deposited by CVD, etchback of the CVD oxide film by anisotropy plasma etching is carried out after that, and the sidewall oxide film 20 is formed in the side-attachment-wall section of the gate polar zone 2. Then, using As ion, the almost perpendicular As ion implantation 21 is performed to the 11th page of a semiconductor substrate, and As ion-implantation layer 22 used as source drain layer 22a later mentioned in the source drain section 3 is formed.

[0006] Next, in order to activate each above-mentioned ion-implantation layer, heat treatment using the RTA (Rapid Thermal Annealing) method is performed. Diffusion layer for ** punch-through prevention and so-called pocket diffusion layer 19a is formed in the P type impurity of B ion which encloses source drain layer 22a with the LDD layer

16a section by the N type impurity of a layer structure, i.e., As ion, as shows each above-mentioned ion-implantation layer to drawing 2 (c), and this source drain layer 22a after this heat treatment. After this, although a drawing is omitted, deposition of a layer insulation film, formation of a contact hole, electrode wiring formation, passivation film deposition, pad **** dawn, etc. are performed, and a semiconductor device is produced.

[0007] However, the problem that the junction capacitance between the source drain layer 22 and the semiconductor substrate 11 increases the N type MOS transistor produced by the above manufacture methods since the high-concentration pocket diffusion layer 23 is inserted from the high impurity concentration of the semiconductor substrate 11 between source drain layer 21a and the semiconductor substrate 11 arises.

[0008]

[Problem(s) to be Solved by the Invention] this invention sets it as the purpose to solve the trouble in the manufacture method of the semiconductor device mentioned above. Namely, the technical problem of this invention aims at offering the manufacture method of the semiconductor device which mitigates the increase in a junction capacitance between the source drain layer by forming a pocket diffusion layer, and a semiconductor substrate.

[0009]

[Means for Solving the Problem] In the manufacture method of a semiconductor device of having the process which proposes the manufacture method of the semiconductor device of this invention in order to solve an above-mentioned technical problem, and forms the diffusion layer for punch-through prevention with a large inclination ion implantation. The process which forms the gate polar zone which consists of the insulator layer on a gate oxide film, a gate electrode, and a gate electrode, The process which forms the photoresist pattern used as the ion-implantation mask at the time of the large inclination ion implantation which adjoined the gate polar zone, It is characterized by having the process which carries out the ion implantation of the photoresist pattern to the gate polar zone as an ion-implantation mask at the time of a large inclination ion implantation.

[0010] According to this invention, the masking effect of the ion implantation according the pocket diffusion layer by large inclination ion-implantation to the gate polar zone and a photoresist pattern is used. By forming so that only the source with which the diffusion layer for punch-through prevention and the so-called pocket diffusion layer change in a LDD layer and a high-concentration source drain layer, and the portion which a drain counters may be surrounded The field where a pocket diffusion layer is not formed in a source drain layer field can be given holding the conventional effect of the threshold voltage reduction suppression by the short channel effect. Therefore, it becomes possible to make the increase in a junction capacitance between a source drain layer and a semiconductor substrate mitigate.

[0011]

[Example] Hereafter, with reference to an accompanying drawing, it explains about the concrete example of this invention. In addition, the same reference mark shall be given to the component in drawing 2 referred to by explanation of the conventional technology, and the same component.

[0012] this example is an example which applied this invention to the manufacture method of a semiconductor device, and explains this with reference to drawing 1. First, as shown in drawing 1 (a), the gate oxide film 13 of about 10nm of thickness is formed in the semiconductor substrate 11 in which P wales and N wales (illustration ellipsis) of the element section of a semiconductor device, such as the LOCOS oxide film 12 of an isolation field and the N type MOS transistor sections 1a and 1b, were formed. For example, it considers as the gate electrode 14 after that, polysilicon contest film of about 100nm of thickness 14a and tungsten silicide film of about 100nm of thickness 14b are deposited, and the CVD oxide film 15 by CVD is further deposited about about 300nm of thickness as an insulator layer on the gate electrode 14 after that.

[0013] Next, patterning of the above-mentioned CVD oxide film 15, tungsten silicide film 14b, polysilicon contest film 14a. and the gate oxide film 13 is carried out using photolithography technology, and the gate polar zone 2 is formed. Then, a photoresist is applied and the photoresist pattern 31 used as the mask for large inclination ion implantations for forming pocket diffusion layer 32a which carries out patterning of this photoresist and mentions it later is formed. This photoresist pattern 31 is formed so that photoresist pattern 31 side attachment wall may detach only distance L from gate polar-zone 2 side attachment wall, and it is made for the following formula to be realized between the pouring angles theta of this distance L, height H of the photoresist pattern 31, and a large inclination ion implantation.

The more exact approximation of $L \cdot \tan \theta$, in addition an upper formula turns into the following formula.
 $L \cdot w \cdot \tan \theta$ -- here, w is width of face of sidewall oxide-film 55 pars basilaris ossis occipitalis mentioned later In addition, usually it considers as the pouring angle obtained here from the optimal ion-implantation conditions of pocket diffusion layer formation that even shorter gate electrode length suppresses the gate electrode length dependency of the threshold voltage V_{TH} by the short channel effect to simultaneously regularity as a pouring angle theta. Therefore, it is

necessary to lengthen distance L between photoresist pattern 31 side attachment wall and gate polar-zone 2 side attachment wall, so that than the above-mentioned formula and height [of the photoresist pattern 31] H , i.e., the application thickness of a photoresist, becomes thick.

[0014] Next, As ion is used, ion-implantation energy is about 25 keV(s), and a dose is abbreviation $5E13/cm^2$. It carries out, and the almost perpendicular As ion implantation 16 is performed to the semiconductor substrate 11, and As ion-implantation layer 17 used as LDD layer 17a mentioned later is formed. then, B ion -- using -- energy -- about 30 keV(s) and a dose -- about $5E12/cm^2$ -- carrying out -- the large inclination ion implantation 18 -- about [for example, / the ion-implantation angle of about 45 degrees, and] -- it carries out from a source and drain side as -45 degrees, and B ion-implantation layer 32 is formed Since the photoresist pattern 31 and the gate polar zone 2 serve as a mask of the large inclination ion implantation 18 as shown in drawing 1 (a), this B ion-implantation layer 32 is formed only near the semiconductor substrate 11 section under gate polar-zone 2 side attachment wall.

[0015] Next, the CVD oxide film by CVD is deposited about about 200nm of thickness like [as shown in drawing 1 (b), after removing the photoresist pattern 31] the conventional example, and etchback of the CVD oxide film is carried out by anisotropy plasma etching after that. Thereby, the sidewall oxide film 20 is formed in gate polar-zone 2 side attachment wall. Using As ion after that, ion-implantation energy is about 30 keV(s), and a dose is $5E15/cm^2$. It carries out, the almost perpendicular As ion implantation 21 is performed to the semiconductor substrate 11, and As ion-implantation layer 22 is formed.

[0016] Next, in order to activate each above-mentioned ion-implantation layer, about 20 secs of heat treatments using the RTA (Rapid Thermal Anneal) method are performed by about 1000 degreeC. After this heat treatment, the source drain layer 21 with the LDD layer 18a section by the N type impurity of a layer structure, i.e., As ion, as shows an ion-implantation layer to drawing 1 (c) is formed, and the diffusion layer for punch-through prevention by the P type impurity of B ion and so-called pocket diffusion layer 32a are formed. S1 which touches pocket diffusion layer 32a at the joint of source drain layer 22a with the LDD layer 18a section as shown in drawing 1 (c) after this heat treatment S2 which touches the field section and the semiconductor substrate 11 directly The field section is made. Since it is higher than the concentration of the semiconductor substrate 11, the concentration of the pocket diffusion layer 32a section is S1. The junction capacitance per unit area of the field section is S2. It becomes larger than the junction capacitance per unit area of the field section. Therefore, the junction capacitance of source drain layer 22a of N type MOS transistor 1 using pocket diffusion layer 32a decreases as compared with source drain layer 22a (refer to drawing 2) of conventional MOS transistor 1.

[0017] After this, although a drawing is omitted, deposition of a layer insulation film, formation of a contact hole, electrode wiring formation, passivation film deposition, pad **** dawn, etc. are performed, and a semiconductor device is produced.

[0018] In addition, although a drawing is omitted Also in the MOS transistor arrangement composition field to which two or more gate polar zone 2 is located in a line, and is arranged, and the drain of one MOS transistor serves as the source of other MOS transistors Interval $L1$ between the adjacent gate polar zone 2 stood in a line and arranged Height $H1$ of the gate polar zone 2 Between the pouring angles θ of the large inclination ion implantation 18 If there is a relation of $H1 \cdot \tan \theta < L1 < 2H1 \cdot \tan \theta$, in such an MOS transistor arrangement composition field, the field in which a pocket diffusion layer is not formed will be made, and a junction capacitance will be mitigated.

[0019] In order to form the pocket diffusion layer 41 which is bigger concentration than the high impurity concentration of the semiconductor substrate 11 section only in the portion which the source and the drain of the source drain section 3 counter according to [as mentioned above] manufacture for an N type MOS transistor, the junction capacitance between the source drain layer 22 and the semiconductor substrate 11 is reduced. Therefore, improvement in the speed and low-power-izing of a semiconductor device are attained.

[0020] In addition, the manufacture method of the semiconductor device mentioned above is the N type mentioned above for formation of the CMOS semiconductor device with which a P type MOS transistor can be formed by changing the impurity at the time of an ion implantation also to formation of a P type MOS transistor, and simultaneous formation of N type and the P type MOS transistor is carried out although formation of an N type MOS transistor was explained. If the formation process of a P type MOS transistor is added to the manufacturing process of an MOS transistor at any time, a CMOS semiconductor device can be formed.

[0021] As mentioned above, although the example explained this invention, this invention is not limited to this example at all. For example, as a gate electrode, although the polycide electrode of the poly SHIRIKO film and a tungsten silicide film was used, it is good also as a gate electrode using the polycide film using other refractory metals, the silicide film of a refractory metal, the polysilicon contest film, etc. In addition, process conditions can be suitably

changed within the limits of the technical thought of this invention.

[0022]

[Effect of the Invention] The junction-capacitance reduction between the source drain layer of the MOS transistor in which the pocket diffusion layer was formed, and a semiconductor substrate is attained, therefore it becomes producible [improvement in the speed and the low-power-ized semiconductor device] so that clearly from the above explanation.

[Translation done.]

PAT-NO: JP409289315A

DOCUMENT-IDENTIFIER: JP 09289315 A

TITLE: SEMICONDUCTOR DEVICE MANUFACTURING
METHOD

PUBN-DATE: November 4, 1997

INVENTOR-INFORMATION:
NAME
MATSUMOTO, KOICHI

ASSIGNEE-INFORMATION:
NAME COUNTRY
SONY CORP N/A

APPL-NO: JP08100282

APPL-DATE: April 22, 1996

INT-CL (IPC): H01L029/78, H01L021/336 , H01L021/265

ABSTRACT:

PROBLEM TO BE SOLVED: To reduce the junction capacitance between a source-drain layer and substrate by forming a photo resist pattern to be a mask for a large- inclination angle ion implantation and implanting ions, using a gate electrode and photo resist pattern as a high-angle ion implanting mask.

SOLUTION: An As ion implanting 16 is applied to a semiconductor substrate 11 to form an As ion layer 17, a largeinclination angle B ion implanting 18 is applied from the source and drain sides to form a B

ion-implanted layer 32
which is formed only near a part of the substrate 11 below
the side wall of a
gate electrode part 2 since a photoresist pattern 31 and
gate electrode part 2
form a mask for the large-inclination angle ion implanting
18. When a pocket
diffused layer 32a is formed with a p-type impurity of B
ions, an S region
adjacent to the pocket diffused layer 32a and S adjacent to
the substrate are
formed at the junction of the source-drain layer 22a. The
diffused detect 32
has a higher concn. than that of the substrate 11 and the
junction capacitance
can be reduced.

COPYRIGHT: (C)1997,JPO

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-289315

(43)公開日 平成9年(1997)11月4日

(51)Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L	29/78		H 0 1 L 29/78	3 0 1 P
	21/336		21/265	V
	21/265		29/78	L
				3 0 1 S
				3 0 1 L
審査請求 未請求 請求項の数2 O L (全 5 頁)				

(21)出願番号 特願平8-100282

(22)出願日 平成8年(1996)4月22日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 松本 光市

東京都品川区北品川6丁目7番35号 ソニー株式会社内

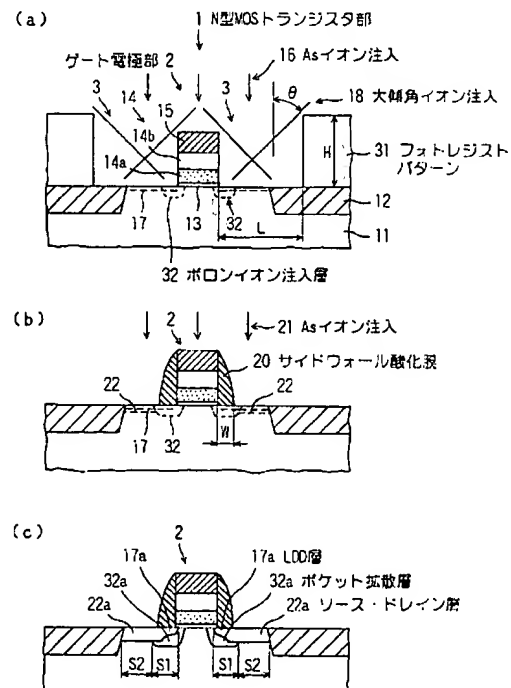
(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【課題】 ポケット拡散層を形成することによるソース・ドレインと半導体基板間の接合容量増加を軽減する半導体装置の製造方法を提供する。

【解決手段】 ゲート電極部2を形成し、ゲート電極部2に隣接した、大傾角イオン注入時のイオン注入マスクとするフォトリソパターン31を形成し、ゲート電極部2とフォトリソパターン31とを大傾角イオン注入時のマスクとして、大傾角イオン注入18を行い、ポケット拡散層32aを形成する。

【効果】 高速化、低消費電力化した半導体装置の作製が可能となる。



【特許請求の範囲】

【請求項1】 大傾角イオン注入によりパンチスルー防止用拡散層を形成する工程を有する半導体装置の製造方法において、

ゲート酸化膜、ゲート電極およびゲート電極上の絶縁膜から成るゲート電極部を形成する工程と、

前記ゲート電極部に隣接した、前記大傾角イオン注入時のイオン注入マスクとするフォトレジストパターンを形成する工程と、

前記ゲート電極部と前記フォトレジストパターンを、前記大傾角イオン注入時のイオン注入マスクとしてイオン注入する工程とを有することを特徴とする半導体装置の製造方法。

【請求項2】 前記ゲート電極部側壁と前記フォトレジストパターン側壁間の間隔 L と、前記フォトレジストパターンの高さ H と、大傾角イオン注入の注入角度 θ との関係を、 $L=H \times \tan \theta$ としたことを特徴とする、請求項1記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体装置の製造方法に関し、さらに詳しくは、MOSトランジスタのソース・ドレイン層の接合容量を低減した半導体装置の製造方法に関する。

【0002】

【従来の技術】近年、MOSトランジスタの半導体装置は益々微細化が進み、MOSトランジスタのゲート電極長はハーフミクロン以下となってきた。このゲート電極長がハーフミクロン以下となってくると、所謂ショートチャネル効果が発生し、種々の特性上の問題が起こる。このショートチャネル効果の一つとして、ゲート電極長が短くなるにつれて、しきい値電圧 V_{TH} が低下する問題である。このショートチャネル効果によるしきい値電圧 V_{TH} のゲート電極長依存性を抑える方法として、大傾角イオン注入によるパンチスルー防止用拡散層、所謂ポケット拡散層を形成する方法がある。このポケット拡散層形成のための、大傾角イオン注入の角度、イオン注入エネルギー、ドーズ量を最適化することで、ゲート電極長がより短い範囲までしきい値電圧 V_{TH} のゲート電極長依存性のほとんど無いMOSトランジスタが形成できる。因みに、ポケット拡散層のドーズ量だけで見ると、ドーズ量を増加させるとしきい値電圧 V_{TH} のゲート電極長依存性のほとんど無い範囲が広がり、あまりドーズ量を多くすると、ゲート電極長が短くなるほどしきい値電圧 V_{TH} が大きくなり、しきい値電圧 V_{TH} のゲート電極長依存性のほとんど無い範囲が逆に狭くなる。

【0003】上記のポケット拡散層を用いたしきい値電圧 V_{TH} のゲート電極長依存性を抑える方法による、従来の半導体装置の製造方法を図2を参照して説明する。まず、図2(a)に示すように、素子分離領域のLOC

S(Local Oxidation of Silicon)膜12、N型MOSトランジスタ部1等の素子部のPウェルやNウェル(図示省略)を形成した半導体基板11にゲート酸化膜13を形成する。その後ゲート電極14となるポリシリコン膜14aとタングステンシリサイド膜14bおよびゲート電極14上の絶縁膜15と堆積し、これら絶縁膜15、タングステンシリサイド膜14b、ポリシリコン膜14aおよび酸化膜13をパターンニングして、ゲート電極部2を形成する。

【0004】次に、半導体基板11面に対してほぼ垂直な角度で、Asイオン注入16をソース・ドレイン部3に行い、後述するLDD層17aとなるAsイオン注入層17を形成する。続いて、ゲート電極部2の左右、即ちソース・ドレイン部3のソース側やドレイン側より、半導体基板11面の垂直方向より約30度程傾けた注入角度を持つ、Bイオンによる大傾角イオン注入18を行い、後述するポケット拡散層19aとなるBイオン注入層19を形成する。

【0005】次に、図2(b)に示すように、CVD法によりCVD酸化膜を堆積し、その後異方性プラズマエッチングによるCVD酸化膜のエッチバックをしてゲート電極部2の側壁部にサイドウォール酸化膜20を形成する。その後、Asイオンを用い、半導体基板11面に対してほぼ垂直のAsイオン注入21を行い、ソース・ドレイン部3に、後述するソース・ドレイン層22aとなるAsイオン注入層22を形成する。

【0006】次に、上記の各イオン注入層の活性化を行うため、RTA(Rapid Thermal Annealing)法を用いた熱処理を行う。この熱処理後、上記の各イオン注入層は図2(c)に示すような層構造、即ちAsイオンのN型不純物によるLDD層16a部を持つソース・ドレイン層22aと、このソース・ドレイン層22aを取り囲むBイオンのP型不純物によるパンチスルー防止用拡散層、所謂ポケット拡散層19aが形成される。この後は、図面を省略するが、層間絶縁膜の堆積、コンタクトホール形成、電極配線形成、パッシベーション膜堆積、パッド部窓明け等を行って、半導体装置を作製する。

【0007】しかし、上記のような製造方法で作製されたN型MOSトランジスタは、ソース・ドレイン層21aと半導体基板11間に半導体基板11の不純物濃度より高濃度のポケット拡散層23が挿入されるので、ソース・ドレイン層22と半導体基板11間の接合容量が増加するという問題が起こる。

【0008】

【発明が解決しようとする課題】本発明は、上述した半導体装置の製造方法における問題点を解決することをその目的とする。即ち本発明の課題は、ポケット拡散層を形成することによるソース・ドレイン層と半導体基板間の接合容量増加を軽減する半導体装置の製造方法を提供

することを目的とする。

【0009】

【課題を解決するための手段】本発明の半導体装置の製造方法は、上述の課題を解決するために提案するものであり、大傾角イオン注入によりパンチスルー防止用拡散層を形成する工程を有する半導体装置の製造方法において、ゲート酸化膜、ゲート電極およびゲート電極上の絶縁膜から成るゲート電極部を形成する工程と、ゲート電極部に隣接した、大傾角イオン注入時のイオン注入マスクとするフォトレジストパターンを形成する工程と、ゲート電極部とフォトレジストパターンを、大傾角イオン注入時のイオン注入マスクとしてイオン注入する工程とを有することを特徴とするものである。

【0010】本発明によれば、大傾角イオン注入法によるポケット拡散層をゲート電極部とフォトレジストパターンとによるイオン注入のマスク効果を利用して、パンチスルー防止用拡散層、所謂ポケット拡散層がLDD層と高濃度のソース・ドレイン層とで成るソースとドレインの対向する部分のみを取り囲むように形成することで、ショートチャネル効果によるしきい値電圧低減抑止の従来効果を保持しながら、ソース・ドレイン層領域内にポケット拡散層が形成されない領域を持たせることができる。従って、ソース・ドレイン層と半導体基板間の接合容量増加を軽減させることが可能となる。

【0011】

【実施例】以下、本発明の具体的実施例につき、添付図面を参照して説明する。なお従来技術の説明で参照した図2中の構成部分と同様の構成部分には、同一の参照符号を付すものとする。

【0012】本実施例は半導体装置の製造方法に本発明を適用した例であり、これを図1を参照して説明する。まず、図1(a)に示すように、素子分離領域のLOCOS酸化膜12、N型MOSトランジスタ部1a、1b等の半導体装置の素子部のPウェールやNウェール(図示省略)を形成した半導体基板11に膜厚約10nmのゲート酸化膜13を形成する。その後ゲート電極14とする、例えば膜厚約100nmのポリシリコン膜14aと膜厚約100nmのタングステンシリサイド膜14bとを堆積し、更にその後、ゲート電極14上の絶縁膜として、例えばCVD法によるCVD酸化膜15を膜厚約300nm程堆積する。

【0013】次に、フォトリソグラフィ技術を用いて上記のCVD酸化膜15、タングステンシリサイド膜14b、ポリシリコン膜14aおよびゲート酸化膜13をパターンニングして、ゲート電極部2を形成する。その後、フォトレジストを塗布し、このフォトレジストをパターンニングし、後述するポケット拡散層32aを形成するための大傾角イオン注入用マスクとするフォトレジストパターン31を形成する。このフォトレジストパターン31は、フォトレジストパターン31側壁がゲート電極部

2側壁より距離Lだけ離すように形成されており、この距離Lとフォトレジストパターン31の高さHと大傾角イオン注入の注入角度 θ の間に次式が成り立つようにする。

$$L \cong H \times \tan \theta$$

なお、上式のより正確な近似式は次式となる。

$$L - w \cong H \times \tan \theta$$

ここで、wは後述するサイドウォール酸化膜55底部の幅である。なおここで、注入角度 θ としては、より短いゲート電極長までショートチャネル効果によるしきい値電圧 V_{TH} のゲート電極長依存性をほぼ一定に抑えるポケット拡散層形成の最適イオン注入条件より得られる注入角度とするのが通常である。従って、上記の式より明らかなように、フォトレジストパターン31の高さH、即ちフォトレジストの塗布膜厚が厚くなるほど、フォトレジストパターン31側壁とゲート電極部2側壁間の距離Lは長くする必要がある。

【0014】次に、Asイオンを用い、イオン注入エネルギーは約25keV、ドーズ量は約 $5E13/cm^2$ とし、半導体基板11に対してほぼ垂直のAsイオン注入16を行い、後述するLDD層17aとなるAsイオン注入層17を形成する。その後、Bイオンを用い、エネルギーは約30keV、ドーズ量は約 $5E12/cm^2$ とし、大傾角イオン注入18を、例えばイオン注入角度約 45° と約 -45° としてソース側とドレイン側より行い、Bイオン注入層32を形成する。このBイオン注入層32は、図1(a)に示す如く、フォトレジストパターン31とゲート電極部2が大傾角イオン注入18のマスクとなるため、ゲート電極部2側壁下の半導体基板11部近傍にのみ形成される。

【0015】次に、図1(b)に示すように、フォトレジストパターン31を除去した後、従来例と同様にしてCVD法によるCVD酸化膜を膜厚約200nm程堆積し、その後異方性プラズマエッチングによりCVD酸化膜をエッチバックする。これにより、ゲート電極部2側壁にサイドウォール酸化膜20が形成される。その後Asイオンを用い、イオン注入エネルギーは約30keV、ドーズ量は $5E15/cm^2$ とし、半導体基板11に対してほぼ垂直のAsイオン注入21を行い、Asイオン注入層22を形成する。

【0016】次に、上記の各イオン注入層の活性化を行うため、RTA(Rapid Thermal Anneal)法を用いた熱処理を、約 $1000^\circ C$ で20sec程度行う。この熱処理後、イオン注入層は図1(c)に示すような層構造、即ちAsイオンのN型不純物によるLDD層18a部を持つソース・ドレイン層21が形成され、BイオンのP型不純物によるパンチスルー防止用拡散層、所謂ポケット拡散層32aが形成される。この熱処理後、図1(c)に示す如く、LDD層18a部を持つソース・ドレイン層22aの接合部には、

ポケット拡散層32aと接するS₁領域部と、半導体基板11と直接に接するS₂領域部とができる。ポケット拡散層32a部の濃度は半導体基板11の濃度より高いので、S₁領域部の単位面積当たりの接合容量は、S₂領域部の単位面積当たりの接合容量より大きくなる。従って、ポケット拡散層32aを用いたN型MOSトランジスタ1のソース・ドレイン層22aの接合容量は、従来のMOSトランジスタ1のソース・ドレイン層22a(図2参照)に比較して減少する。

【0017】この後は、図面を省略するが、層間絶縁膜の堆積、コンタクトホール形成、電極配線形成、パッシベーション膜堆積、パッド部窓明け等を行って、半導体装置を作製する。

【0018】なお、図面は省略するが、2個以上のゲート電極部2が並んで配列され、一方のMOSトランジスタのドレインが他のMOSトランジスタのソースとなるMOSトランジスタ配置構成領域においても、並んで配列された隣り合うゲート電極部2間の間隔L₁とゲート電極部2の高さH₁と大傾角イオン注入18の注入角度θとの間に、 $H_1 \times \tan \theta < L_1 < 2H_1 \times \tan \theta$ の関係があれば、このようなMOSトランジスタ配置構成領域では、ポケット拡散層が形成されない領域ができ、接合容量が軽減される。

【0019】上記のようにしてN型MOSトランジスタを作製によれば、半導体基板11部の不純物濃度より大きな濃度であるポケット拡散層41を、ソース・ドレイン部3のソースとドレインとが対向する部分にのみ形成するため、ソース・ドレイン層22と半導体基板11間の接合容量が低減される。従って、半導体装置の高速化と低消費電力化が可能となる。

【0020】なお、上述した半導体装置の製造方法はN型MOSトランジスタの形成に関して説明したが、P型MOSトランジスタの形成に対しても、イオン注入時の不純物を変えることでP型MOSトランジスタが形成でき、N型とP型MOSトランジスタとが同時形成されるCMOS半導体装置の形成には上述したN型MOSトランジスタの製造工程にP型MOSトランジスタの形成工程を随時追加すれば、CMOS半導体装置が形成できる。

【0021】以上、本発明を実施例により説明したが、本発明はこの実施例に何ら限定されるものではない。例

えば、ゲート電極として、ポリシリコ膜とタングステンシリサイド膜のポリサイド電極を用いたが、その他の高融点金属を用いたポリサイド膜や高融点金属のシリサイド膜、ポリシリコン膜等を用いたゲート電極としてもよい。その他、本発明の技術的思想の範囲内で、プロセス条件は適宜変更が可能である。

【0022】

【発明の効果】以上の説明から明らかなように、ポケット拡散層を形成したMOSトランジスタのソース・ドレイン層と半導体基板間の接合容量低減が可能となり、従って高速化、低消費電力化した半導体装置の作製が可能となる。

【図面の簡単な説明】

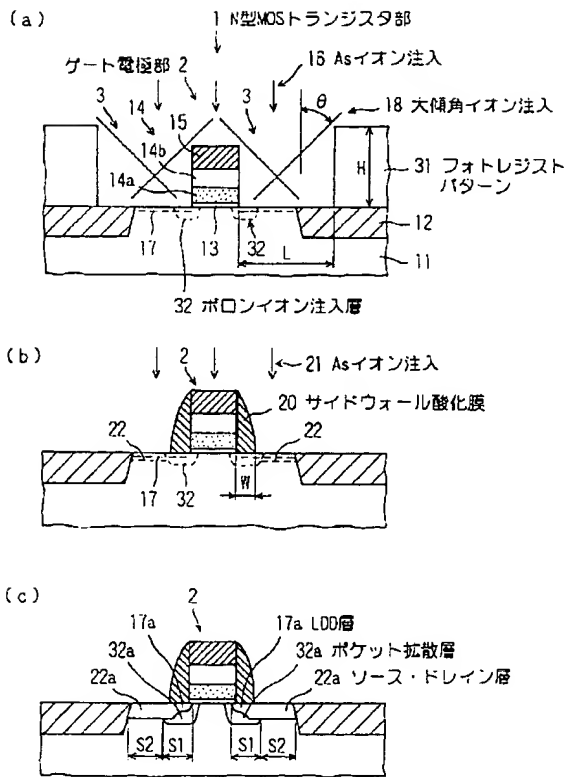
【図1】本発明を適用した実施例1の工程を工程順に説明するための、ゲート電極長の異なるN型MOSトランジスタの概略断面図で、(a)はフォトレジストパターンをマスクとして大傾角イオン注入によるポケット拡散層を形成するためのBイオン注入層を形成した状態、(b)はサイドウォール酸化膜を形成し、その後ソース・ドレイン層を形成した状態、(c)は各イオン注入層のイオン活性化のための熱処理をした状態である。

【図2】従来例の工程を工程順に説明するための、N型MOSトランジスタの概略断面図で、(a)は大傾角イオン注入によるポケット拡散層を形成するためのBイオン注入層を形成した状態、(b)はサイドウォール酸化膜を形成し、その後ソース・ドレイン層を形成した状態、(c)は各イオン注入層のイオン活性化のための熱処理をした状態である。

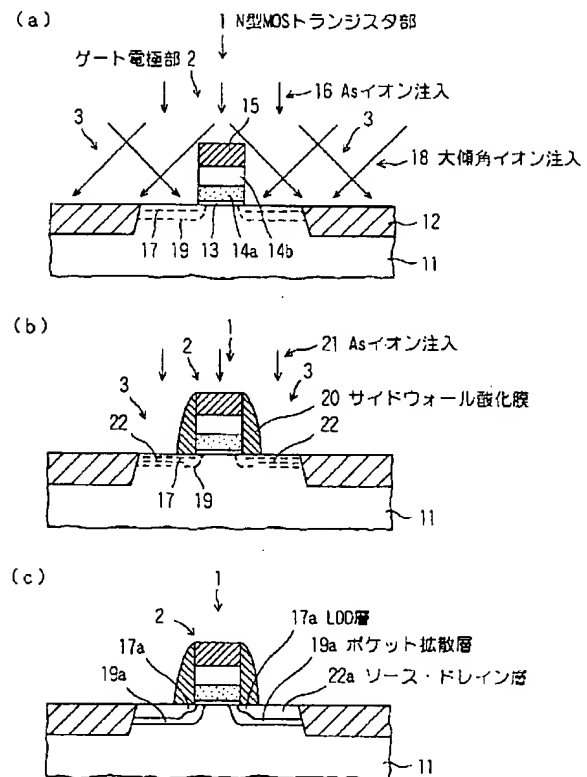
【符号の説明】

1…N型MOSトランジスタ部、2…ゲート電極部、11…半導体基板、12…LOCOS膜、13…ゲート酸化膜、14…ゲート電極、14a…ポリシリコン膜、14b…タングステンシリサイド膜、15…CVD酸化膜、16…Asイオン注入、17…Asイオン注入層、17a…LDD層、18…大傾角イオン注入、19…Bイオン注入層、19a…ポケット拡散層、20…サイドウォール酸化膜、21…Asイオン注入、22…Asイオン注入層、22a…ソース・ドレイン層、31…フォトレジストパターン、32…Bイオン注入層、32a…ポケット拡散層

【図1】



【図2】



PAT-NO: JP362163374A
DOCUMENT-IDENTIFIER: JP 62163374 A
TITLE: MANUFACTURE OF SEMICONDUCTOR DEVICE
PUBN-DATE: July 20, 1987

INVENTOR-INFORMATION:
NAME
SASAKI, HAJIME

ASSIGNEE-INFORMATION:
NAME COUNTRY
TOSHIBA CORP N/A

APPL-NO: JP61005563
APPL-DATE: January 14, 1986

INT-CL (IPC): H01L029/78, H01L021/265 , H01L029/60
US-CL-CURRENT: 438/527

ABSTRACT:

PURPOSE: To obtain a semiconductor device enabling the formation of a second conductivity type impurity diffusion region of high concentration which does not contact with a p-pocket and realizing the simultaneous achievement of high speed and control of a short channel effect, by forming a spacer on the side wall of a gate electrode and by ion-implanting a second conductivity type impurity for activation with these elements used as a mask, etc.

CONSTITUTION: After a thin insulation film 23, a polycrystalline silicon film 25 and a conductive film 26 are formed in an insular region of a semiconductor layer 21 of a first conductivity type, a resist pattern is formed, and the periphery thereof is etched selectively to form a gate electrode 29 and an opening 28. Next, an impurity of a first conductivity type is doped through the opening 28 to form a pocket region 30 of high concentration. Then, the conductive film 26, the polycrystalline silicon film 25 and the insulation film 23 other than the gate electrode 29 are removed, and an impurity of a second conductivity type is doped with the gate electrode 29 and an element isolating region 22 used as a mask, so as to form two low concentration impurity diffusion regions 32. Subsequently, a spacer 33 is formed on the side wall of the gate electrode 29, and the impurity of the second conductivity type is doped with the gate electrode 29, the spacer 33 and the element isolating region 22 used as a mask, so as to form two high concentration impurity diffusion region 35.

COPYRIGHT: (C)1987,JPO&Japio

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭62-163374

⑬ Int. Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和62年(1987)7月20日

H 01 L 29/78
21/265
29/60

8422-5F
7738-5F

審査請求 未請求 発明の数 1 (全6頁)

⑮ 発明の名称 半導体装置の製造方法

⑯ 特 願 昭61-5563

⑰ 出 願 昭61(1986)1月14日

⑱ 発 明 者 佐々木 元 川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内
⑲ 出 願 人 株式会社東芝 川崎市幸区堀川町72番地
⑳ 代 理 人 弁理士 鈴江 武彦 外2名

明 細 書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

(1) 第1導電型の半導体層表面に選択的に素子分離領域を形成する工程と、この素子分離領域で分離された半導体層の島領域に薄い絶縁膜を形成する工程と、この薄い絶縁膜上に多結晶シリコン膜および導電性被膜を形成する工程と、該被膜上のゲート電極予定部にレジストパターンを形成する工程と、このレジストパターン周辺の導電性被膜を選択的にエッチングし、更に露出した多結晶シリコン膜をエッチングしてゲート電極を形成すると共に、pポケット形成用開口部を形成する工程と、前記開口部を通して第1導電型の不純物を前記半導体層にその表面より深い領域にドーピングし、該半導体層より高濃度のポケット領域を形成する工程と、前記ゲート電極以外の導電性被膜を除去した後、必要に薄い絶縁膜を除去してゲート絶縁膜を形成

する工程と、前記ゲート電極及び素子分離領域をマスクとして第2導電型の不純物を前記島領域にドーピングして互に電気的に分離された2つの低濃度不純物拡散領域を形成する工程と、前記ゲート電極の側壁に少なくとも前記ポケット領域上方の半導体層表面を覆うようにスペーサを形成する工程と、ゲート電極、スペーサ及び素子分離領域をマスクとして第2導電型の不純物を前記島領域にドーピングして互に電気的に分離された2つの高濃度不純物拡散領域を形成する工程とを具備したことを特徴とする半導体装置の製造方法。

(2) 導電性被膜がモリブデンからなることを特徴とする特許請求の範囲第1項記載の半導体装置の製造方法。

(3) 導電性被膜がモリブデンシリサイドからなることを特徴とする特許請求の範囲第1項記載の半導体装置の製造方法。

(4) pポケット領域の深さが高濃度不純物拡散領域の深さと同じか、それ以上であることを

特徴とする特許請求の範囲第1項記載の半導体装置の製造方法。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は半導体装置の製造方法に関し、特にMOS型半導体装置の製造方法の改良に係る。

〔従来の技術〕

近年、MOS型半導体集積回路においては高密度化、高速化が急速に進んでいる。かかる集積回路では、ゲート長の微細化がなされているが、それに伴ってショートチャンネル効果やブレイクダウン電圧が問題となる。

このような問題を改善するMOS型半導体装置の製造方法として、Seiki Ogura et al. "A HALF MICRO MOSFET USING DOUBLE IMPLANTED LDD" IEDM '82, PP 718~721が提案されている。これを第2図(a), (b)を参照して以下に説明する。

まず、p型シリコン基板1表面に累子分離領域としてのフィールド酸化膜2を選択的に形成した後、フィールド酸化膜2で分離された基板

領域6₂とn⁺型領域9₂とからなるドレイン領域11が夫々形成される。またn型領域6₁, 6₂の下層にp型領域(pポケット領域)12₁, 12₂が残存される。ひきつづき、全面に白金膜を蒸着し、熱処理を施して基板1の露出したn⁺型領域9₁, 9₂に白金シリサイド層13₁, 13₂を形成した後、未反応の白金膜を除去する(第2図(b)図示)。この後図示しないが、常法に従ってCVD-SiO₂膜(層間絶縁膜)を堆積し、コンタクトホールの開孔、金属配線のパターンニングを行なってMOS型半導体装置を完成する。

上述した方法により製造されたMOS型半導体装置にあっては、ブレイクダウン電圧をLDD構造のn型領域6₂により改善し、ショートチャンネル効果をn型領域6₁, 6₂の下層に付加的に設けられたpポケット領域12₁, 12₂により改善できる。

〔発明が解決しようとする問題点〕

しかしながら、上記従来方法では次のような問題点がある。

1の島領域に熱酸化膜3を形成する。つづいて、全面に不純物ドーパ多結晶シリコン膜を堆積し、パターンニングしてゲート電極4を形成した後、該ゲート電極4及びフィールド酸化膜2をマスクとしてp型不純物をイオン注入して島領域にp型領域5₁, 5₂を形成し、更に同ゲート電極4等をマスクとして島領域に該p型領域より接合深さが浅い低濃度のn型領域6₁, 6₂を形成する(第2図(a)図示)。

次いで、ゲート電極4をマスクとして熱酸化膜3を選択的にエッチングしてゲート酸化膜7を形成し、更に全面にCVD-SiO₂膜を堆積した後、リアクティブイオンエッチング(RIE)法によりCVD-SiO₂膜をその膜厚程度エッチングしてゲート電極4の側面にスペーサ8を形成する。つづいて、ゲート電極4、スペーサ8及びフィールド酸化膜2をマスクとしてn型不純物をイオン注入し、活性化してn⁺型領域9₁, 9₂を形成する。この工程によりn型領域6₁とn⁺型領域9₁とからなるソース領域10、並びにn型

(1) pポケット領域12₁, 12₂は、その目的よりドレイン領域11から空乏層がチャンネル領域へ拡がるのを抑え、ショートチャンネル効果を抑制するために、濃度をより高くすることが望ましい。しかしながら、pポケット領域12₁, 12₂は第2図(b)に示すようにpポケット領域12₁, 12₂とn⁺型領域9₁, 9₂とが接しているため、pポケット領域12₁, 12₂の濃度を高くすると、それらの間の接合容量が大きくなり、高速化の妨げとなる。したがって、ショートチャンネル効果を抑制しようとする、高速化が犠牲となり、逆に高速化を維持しようとする、ショートチャンネル効果の抑制化が図れなくなる。

(2) n⁺型領域9₁, 9₂を形成する工程においては、該n⁺型領域9₁, 9₂とその前工程で形成したpポケット領域となるp型領域5₁, 5₂の間の全体に亘って接合容量が生じるのを防止するために、n⁺型領域9₁, 9₂の接合深さ(x1)をp型領域5₁, 5₂の接合深さ(x2)

より深くする必要がある。その結果、 n^+ 型領域 9_1 、 9_2 の接合深さが深くなることに伴なり横方向の拡散により n 型領域 6_1 、 6_2 の幅が狭くなったり、場合によっては消滅する問題が生じる。

(3) p ポケット領域 12_1 、 12_2 となる p 型領域 5_1 、 5_2 と n 型領域 6_1 、 6_2 は二重イオン打込みにより形成しているため、島領域へのダメージ発生を招く。こうしたダメージは高温熱処理により回復されるが、ソース、ドレイン領域のシャロー化に伴なり低温プロセスへの移行により十分に回復し得ない問題が生じる。

本発明は、上記欠点を解決するためになされたもので、ポケット領域と高濃度不純物拡散領域を制御性よく形成してその接合容量の発生を防止し、高速化を図ると同時に、微細化に伴なりショートチャンネル効果を抑制することが可能なMOS型半導体集積回路等の半導体装置を製造し得る方法を提供しようとするものである。

ピングして互に電気的に分離された2つの低濃度不純物拡散領域を形成する工程、前記ゲート電極の側壁に少なくとも前記ポケット領域上方の半導体層表面を覆うようにスペーサを形成する工程と、ゲート電極、スペーサ及び素子分離領域をマスクとして第2導電型の不純物を前記島領域にドーピングして互に電気的に分離された2つの高濃度不純物拡散領域を形成する工程とを具備することを骨子とするものである。

上記半導体層とは、半導体基板又は基板上に直接もしくは絶縁層を介して形成された半導体層、或いは絶縁基板上に形成された半導体層を意味するものである。

上記導電性被膜としてはモリブデン膜、モリブデンシリサイド膜等を挙げることができる。

〔作用〕

上述した本発明によればゲート電極側壁にスペーサを形成し、これらをマスクとして第2導電型不純物をイオン注入し、活性化することによって、 p ポケットと接触しない高濃度の第2

〔問題点を解決するための手段〕

本発明は第1導電型の半導体層表面に選択的に素子分離領域を形成する工程と、この素子分離領域で分離された半導体層の島領域に薄い絶縁膜を形成する工程と、多結晶シリコン膜を形成し、全面にレジストパターン周辺の下地選択エッチング性を有する導電性被膜を形成した後、該被膜上のゲート電極予定部にレジストパターンを形成する工程と、このレジストパターン周辺の導電性被膜及び多結晶シリコン膜を選択的にエッチングしてゲート電極を形成すると共に、 p ポケット形成用開口部を形成する工程と、この開口部を通して第1導電型の不純物を前記半導体層にその表面より深い領域にドーピングし、該半導体層より高濃度のポケット領域を形成する工程と、前記ゲート電極以外の導電性被膜及び多結晶シリコン膜を除去した後、不要な薄い絶縁膜を除去してゲート絶縁膜を形成する工程と、前記ゲート電極及び素子分離領域をマスクとして第2導電型の不純物を前記島領域にドー

導電型不純物拡散領域を形成でき、既述の如く高速化とショートチャンネル効果の抑制とを同時に達成した半導体装置を得ることができる。

〔発明の実施例〕

以下、本発明を n チャンネルMOS-ICの製造に適用した例について第1図(a)～(g)を参照して説明する。

まず、 p 型シリコン基板21表面に選択酸化技術により素子分離領域としてのフィールド酸化膜22を選択的に形成した。つづいて、熱酸化処理を施して、フィールド酸化膜22で分離された基板21の島領域に例えば厚さ250Åの熱酸化膜23を成長した後、閾値制御のためのボロンを島領域にイオン注入してボロンイオン層24を形成した。この後、全面に多結晶シリコン25を例えば4000Å堆積し、さらに2000Åのモリブデン膜26を堆積（蒸着）させた（第1図(a)図示）。つづいて、同図(b)に示すように多結晶シリコン膜25、モリブデン膜26上のゲート電極予定部に写真蝕刻法により

レジストパターン27を形成した。ひきつづき、 $\text{CCl}_4 + \text{O}_2$ (70%), 0.28 W/cm^2 , 4 ps の条件で RIE を行なった。この時、同時(c)に示すようにレジストパターン27周辺の下地(モリブデン膜26)のみエッチングされ、この際に露出した多結晶シリコンをさらにエッチングすることにより、p ポケット用開口部28が形成されると共に、開口部28で分離された多結晶シリコン膜25'、モリブデン膜26'からなるゲート電極29が形成される。この開口部28の幅はエッチング時間によりサブミクロンから数ミクロンの範囲で変更できる。なお、前記下地の選択エッチング技術は例えば文献"Si RIE とペリフェラル・エッチング" 深野哲, Semiconductor World, 1983. 10 に報告されている。

次いで、p ポケット用不純物、例えばボロンを加速電圧 100 keV 、ドーズ量 $5 \times 10^{12} \text{ cm}^{-2}$ の条件でイオン注入した。この時、同図(d)に示すようにゲート電極29以外の残存したモリブデン膜26'および多結晶シリコン膜25'並びに

た低濃度のn型領域321, 322を形成した(同図(e)図示)。

次いで、全面に厚さ 4000 \AA 程度の CVD- SiO_2 膜を堆積した後、RIE 法により SiO_2 膜をその膜厚程度エッチングしてゲート電極29の側壁に前記p ポケット領域301, 302上方の基板21表面領域を覆うスペーサ33を形成した。つづいて、ゲート電極29、スペーサ33及びフィールド酸化膜22をマスクとしてn型不純物、例えば砒素を加速電圧 40 keV 、ドーズ量 $5 \times 10^{15} \text{ cm}^{-2}$ の条件でイオン注入し、活性化して互に分離された高濃度の n^+ 型領域351, 352を形成した。この工程によりn型領域321と n^+ 型領域351とからなるソース領域36、並びにn型領域322と n^+ 型領域352とからなるドレイン領域37が夫々形成された。また、本実施例においては、 n^+ 型領域の活性化熱処理の際にゲート電極29を構成する多結晶シリコン膜25'とモリブデン膜26'が反応してモリブデンシリサイド膜34が形成された。これによ

りレジストパターン27がボロンインプラのマスクとして作用し、前記開口部28から露出する島領域の表面より 0.25 \mu m 以内の不純物濃度ピークをもつp ポケット領域301, 302が形成された。こうしたイオン注入において、ボロンを熱酸化膜23を通して行なったが、これはゲート電極以外の残存モリブデン膜26'および多結晶シリコン膜25'を除去する際のマスクとするためである。

次いで、レジストパターン27をマスクとして通常のエッチング、例えば $\text{CCl}_4 + \text{O}_2$ (30%) の RIE を行なって露出した残存モリブデン膜26'および多結晶シリコン膜25'を除去した後、露出した酸化膜23を選択的にエッチングしてゲート酸化膜31を形成した。つづいて、レジストパターン27を除去し、ゲート電極29及びフィールド酸化膜22をマスクとしてn型不純物、例えばリンを加速電圧 30 keV 、ドーズ量 $2 \times 10^{13} \text{ cm}^{-2}$ の条件でイオン注入した後、熱処理により活性化して前記島領域に互に分離され

りモリブデンシリサイド膜34と多結晶シリコン膜25'よりなるゲート電極29'が形成された(同図(f)図示)。

次いで、全面にリフロー用絶縁膜38を堆積し、平滑化のための 900°C の熱処理を行ない、コンタクトホール39の開口、AL膜の蒸着、パターニングによるソース、ドレイン取出しAL配線40, 41を形成してnチャネル MOS-IC を製造した(同図(g)図示)。

しかして、本発明方法によればレジストパターン27周辺の下地選択エッチング性を有するモリブデン膜26を利用しその下の多結晶シリコン膜25をエッチングすることにより、ゲート電極29とp ポケット開口部28とを自己整合的に形成できる。その結果、開口部28を通してp ポケット領域301, 302を形成した後、ゲート電極29をマスクとしたn型不純物のイオン注入、活性化により低濃度のn型領域321, 322を形成した際、該n型領域321, 322のチャネル領域側下部にp ポケット領

域30₁、30₂を自己整合的に位置させることができる。したがって、ゲート電極29側壁にスペーサ33を形成し、これらをマスクとしてn型不純物をイオン注入し、活性化することにより、pポケット30₁、30₂と接触しない高濃度のn⁺型領域35₁、35₂を形成できるため、以下に示す効果を有する。

(1) pポケット30₁、30₂とn⁺型領域35₁、35₂とが接触しないため、n⁺型領域35₁、35₂との間の接合容量を考慮せずに、該pポケット領域30₁、30₂の濃度を高くできる。このため、高速化が阻害されることなく、寸法の微細化に伴なりショートチャンネル効果を可能なかぎり抑制できる。

(2) n⁺型領域35₁、35₂の深さを、pポケット領域30₁、30₂の深さに依存することなく自由に選定できる。このため、n⁺型領域35₁、35₂の接合深さを浅くでき、低濃度のn型領域32₁、32₂への横方向拡散による該領域32₁、32₂の幅縮小や消滅を防止

コン、モリブデン、レジストと3層構造となっているため、突き抜けに対して強い構造を有している。

(7) ポリサイド構造のため従来の多結晶シリコンゲートの経路をそのまま生かせる。

なお、上記実施例ではpポケット領域の接合深さをn⁺型領域より深くしたが、n型領域と同深さ、もしくはそれより浅くしても差し支えない。

上記実施例ではスペーサをそのまま残存させて層間絶縁膜の一部として利用したが、層間絶縁膜の堆積前にエッチング除去してもよい。スペーサはCVD-SiO₂の代りにSi₃N₄等のゲート電極材料に対して選択エッチング性を有するものを用いてもよい。

また、上記実施例においてはモリブデン膜を使用し、n⁺層活性化の際にシリサイド化させたが、n⁻層活性化の際または、n⁺層、n⁻層両方の活性化の際にシリサイド化を行われてもかまわない。

でき、ひいてはLDD構造を確実に実現でき、それによるブレイクダウン電圧の向上化やインパクトアイオニゼーションの緩和等を達成できる。

(3) pポケット形成のためのボロンインプラにおいて、残存した多結晶シリコン膜25'およびモリブデン膜26'がマスクとなり、基板21の島領域へのインプラダメージを防止できる。

(4) 最終的に形成されたゲート電極29'が多結晶シリコン膜とモリブデンシリサイド膜34(ポリサイド構造)より構成されているため、その抵抗値を低くでき、高速化が可能となる。

(5) pポケット領域30₁、30₂をn⁺型領域35₁、35₂より深くすることによって、下方向への空乏層の回り込みに対するストップとなるため、一層ショートチャンネル効果に対して強い構造を実現できる。

(6) pポケット形成のためのボロンインプラにおいて、ゲート電極下部にチャネリングにより、ボロンイオンが突き抜け、V_{TH}の制御性を悪くする場合があるが、本発明は、多結晶シリ

上記実施例においては、モリブデン膜を使用して、多結晶シリコンと反応させてモリブデンシリサイドを形成したが、モリブデンのかわりに最初から、モリブデンシリサイドを使用しても良い。この場合、多結晶シリコン膜の膜厚等は、モリブデンの場合と別に最適化が必要となる。

上記実施例では、p-ポケットを中心として説明を行ったが、pチャンネルトランジスタの場合には、n-ポケットとなり、同様な工程で作成する事ができる。

〔発明の効果〕

以上詳述した如く、本発明によれば、ポケット領域とソース、ドレイン領域を構成する高濃度不純物拡散領域とを制御性よく形成してその接合容量の発生を防止し、高速化を図ると共に、ブレイクダウン電圧の向上、微細化に伴なりショートチャンネル効果の抑制を達成でき、ひいては高集積度、高速性、高信頼性のMOS型集積回路等の半導体装置を製造し得る方法を提供で

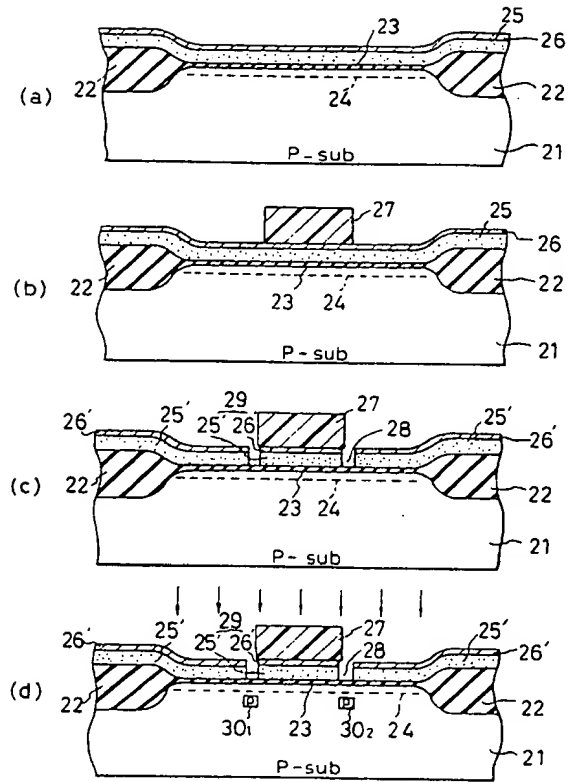
きる。

4. 図面の簡単な説明

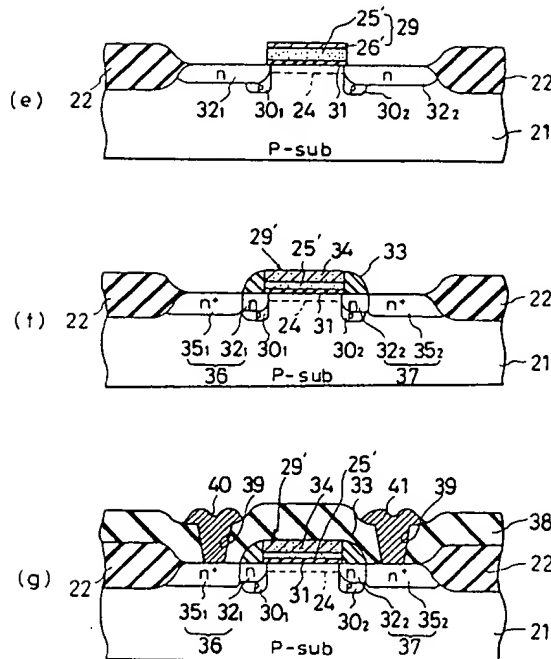
第1図(a)～(g)は本発明の実施例におけるnチャンネルMOS-ICの製造工程を示す断面図、第2図(a)、(b)は従来の同MOS-ICの製造工程を示す断面図である。

21…p型シリコン基板、22…フィールド酸化膜、25…多結晶シリコン膜、26…モリブデン膜、27…レジストパターン、28…pポケット開口部、29、29'…ゲート電極、30₁、30₂…pポケット領域、32₁、32₂…n型領域、33…スペーサ、34…モリブデンシリサイド膜、35₁、35₂…n⁺型領域、36…ソース領域、37…ドレイン領域。

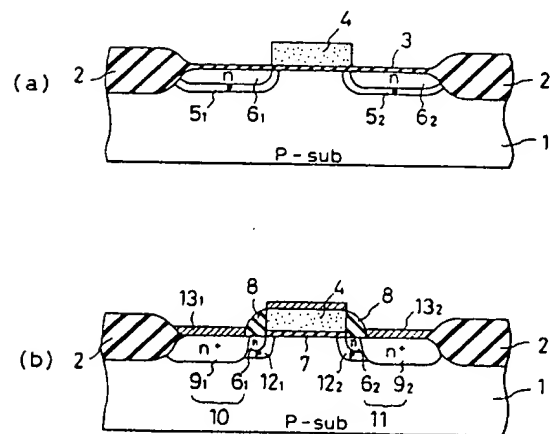
出願人代理人 弁理士 鈴 江 武 彦



第 1 図



第 1 図



第 2 図

INTERNATIONAL SEARCH REPORT

International Application No

PCT/US 00/17271

A. CLASSIFICATION OF SUBJECT MATTER

IPC 7 H01L29/10 H01L21/265

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC 7 H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

EPO-Internal

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	PATENT ABSTRACTS OF JAPAN vol. 1998, no. 03, 27 February 1998 (1998-02-27) & JP 09 289315 A (SONY CORP), 4 November 1997 (1997-11-04)	1-6,8-13
Y	abstract	7,14
X	US 5 837 587 A (WEI CHE-CHIA) 17 November 1998 (1998-11-17) column 2, line 43 - line 53; figure 2	1-3,5,6, 8-10,12, 13
X	EP 0 899 793 A (TEXAS INSTRUMENTS INC) 3 March 1999 (1999-03-03) column 4, line 13 -column 7, line 7; figures 1B-1C	1-3,5,6, 8-10,12, 13
	--- -/--	

☒ Further documents are listed in the continuation of box C.

☒ Patent family members are listed in annex.

* Special categories of cited documents :

A document defining the general state of the art which is not considered to be of particular relevance

E earlier document but published on or after the international filing date

L document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

O document referring to an oral disclosure, use, exhibition or other means

P document published prior to the international filing date but later than the priority date claimed

T later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

X document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

Y document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.

* & * document member of the same patent family

Date of the actual completion of the international search

19 January 2001

Date of mailing of the international search report

26/01/2001

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl.
Fax: (+31-70) 340-3016

Authorized officer

Nesso, S

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No

PCT/US 00/17271

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
JP 09289315 A	04-11-1997	NONE	
US 5837587 A	17-11-1998	US 5894158 A US 6027979 A EP 0535917 A JP 5218324 A	13-04-1999 22-02-2000 07-04-1993 27-08-1993
EP 0899793 A	03-03-1999	JP 11135791 A	21-05-1999
JP 62163374 A	20-07-1987	NONE	
JP 06196492 A	15-07-1994	NONE	
US 5639687 A	17-06-1997	US 5539249 A US 5378659 A EP 0638922 A JP 7130650 A	23-07-1996 03-01-1995 15-02-1995 19-05-1995

INTERNATIONAL SEARCH REPORT

Inter. Application No

PCT/US 00/17271

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	PATENT ABSTRACTS OF JAPAN vol. 012, no. 003 (E-570), 7 January 1988 (1988-01-07) -& JP 62 163374 A (TOSHIBA CORP), 20 July 1987 (1987-07-20) abstract ---	1-3,8-10
X	PATENT ABSTRACTS OF JAPAN vol. 018, no. 545 (E-1617), 18 October 1994 (1994-10-18) & JP 06 196492 A (NIPPON STEEL CORP), 15 July 1994 (1994-07-15) abstract ---	1-3,6, 8-10,13
Y	US 5 639 687 A (RAMIAH CHANDRASEKARAM ET AL) 17 June 1997 (1997-06-17) column 3, line 34 - line 49; figure 3 -----	7,14